

(7)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-321819

(43) 公開日 平成7年(1995)12月8日

(51) IntCl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 L 12/28				
H 0 4 Q 3/00		9466-5K	H 0 4 L 11/ 20	F
		9466-5K		D

審査請求 未請求 請求項の数32 O L (全 20 頁)

(21) 出願番号 特願平7-32028
(22) 出願日 平成7年(1995)2月21日
(31) 優先権主張番号 特願平6-62387
(32) 優先日 平6(1994)3月31日
(33) 優先権主張国 日本 (J P)

(71) 出願人 000005108
株式会社日立製作所
東京都千代田区神田駿河台四丁目6番地
(71) 出願人 000233468
日立超エル・エス・アイ・エンジニアリン
グ株式会社
東京都小平市上水本町5丁目20番1号
(72) 発明者 村上 勝
東京都国分寺市東恋ヶ窪1丁目280番地
株式会社日立製作所中央研究所内
(74) 代理人 弁理士 小川 勝男

最終頁に続く

(54) 【発明の名称】 セル多重化装置

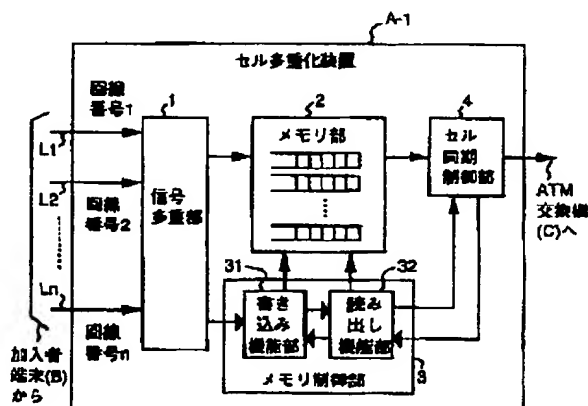
(57) 【要約】

【目的】 ATMセルの同期機能を備えたセル多重化装置の提供を目的とする。

【構成】 複数の入力回線から入力セル信号が多重部1で時分割多重され、メモリ書き込み機能部31によって、各回線対応にメモリ部2に蓄積される。メモリ読み出し機能部は32、メモリ部から各回線毎に1セル長のデータブロックを読み出し、セル同期部4に送信する。セル同期部4は、各データブロックにおいて検出したセルの先頭位置情報をメモリ制御部3に通知する。これによって、次のデータブロックの読み出し開始アドレスが制御され、データブロックの先頭とセル先頭とが一致するようにセル信号の読み出し制御が行われる。

【効果】 セル同期回路を複数の回線に共用できる。

図 1



1

【特許請求の範囲】

【請求項1】複数の入力回線から並列的に入力された固定長のセル信号をバッファメモリに一時的に蓄積した後、所定のセル構造に同期したデータブロックとして出力回線に送出するためのセル多重化装置において、複数の入力回線から受信したセル信号を多重化するための多重化手段と、

上記多重化手段から出力されたセル信号を入力回線対応に順次に上記バッファメモリに蓄積するための書き込みを制御手段と、

上記バッファメモリに蓄積されたセル信号を回線毎に所定バイト数のデータブロックとして読み出すための読み出し制御手段と、

上記バッファメモリから読み出された各データブロックの同期状態を検出し、検出結果に応じた同期制御情報を上記読み出し制御手段に通知し、所定のセル構造に同期して読み出されたデータブロックを選択的に出力回線に送信するためのセル同期制御手段とからなり、

上記読み出し制御手段が、上記セル同期制御手段から通知された同期制御情報に基づいて、各回線と対応する次に読み出すべきデータブロックの読み出し開始アドレスを決定することを特徴とするセル多重化装置。

【請求項2】複数の入力回線から並列的に入力された信号をバッファメモリに一時的に蓄積した後、所定のセル構造に同期したデータブロックとして出力回線に送出するためのセル多重化装置において、複数の入力回線からの入力信号を多重化するための多重化手段と、

上記多重化手段から出力された入力信号を入力回線と対応させて上記メモリに蓄積するための書き込みを制御手段と、

上記メモリに蓄積された入力信号を入力回線に応じて決まる所定バイト数のデータブロックとして読み出すための読み出し制御手段と、

上記メモリから読み出された各データブロックについて同期状態を検出し、検出結果に応じた制御情報を上記読み出し制御手段に通知し、所定のセル構造を持っているデータブロックを選択的に出力回線に送信動作するセル同期制御手段と、上記メモリから読み出された各データブロックを所定の構造を持つ固定長セルに変換して出力回線に送信すると共に、制御情報を上記読み出し制御手段に通知するための変換手段とからなり、

上記読み出し制御手段が、各加入者回線における信号伝送形式に応じて選択された上記セル同期制御手段と変換手段との何れかに上記メモリから読み出されたデータブロックを選択的に供給し、上記セル同期手段および上記変換手段から通知された制御情報に基づいて、各入力回線と対応する次のデータブロックの読み出し開始アドレスを決定することを特徴とするセル多重化装置。

【請求項3】前記各入力回線からは、固定長の非同期転

2

送モード(ATM)セルの信号または固定ビットレート(CBR)の信号が入力され、

前記読み出し制御手段が、前記バッファメモリから読み出されたATMセル信号のデータブロックを前記セル同期制御手段に供給し、前記バッファメモリから読み出されたCBR信号のデータブロックを前記変換手段に供給することを特徴とする請求項2に記載のセル多重化装置。

【請求項4】前記セル同期制御手段が、回線対応に同期状態を記憶するためのメモリを備え、入力された各データブロックで検出されたセル同期状態と上記メモリに記憶された同期状態との関係に応じて、上記メモリに記憶する同期状態を遷移させ、該同期状態に応じた同期制御情報を前記読み出し制御手段に通知することを特徴とする請求項1～請求項3の何れかに記載のセル多重化装置。

【請求項5】前記セル同期制御手段が、回線対応に前記遷移後の同期状態が所定のセル構造と同期した状態となる迄は、前記入力されたデータブロックに代えて空セル信号を示すデータブロックを前記出力回線に送信することを特徴とする請求項1～請求項4の何れかに記載のセル多重化装置。

【請求項6】前記セル同期制御手段が、前記バッファメモリから読み出された各データブロックについて、CCITTのI.432で規定された同期状態制御を行うことを特徴とする請求項1～請求項5の何れかに記載のセル多重化装置。

【請求項7】前記セル同期制御手段が、前記同期制御情報として、各データブロック内で検出したセル先頭位置と前記遷移後の同期状態を示す情報を出力し、

前記読み出し制御手段が、上記セル先頭位置と同期状態とに応じて、前記各回線と対応する次に読み出すべきデータブロックの読み出し開始アドレスを決定することを特徴とする請求項1～請求項6の何れかに記載のセル多重化装置。

【請求項8】前記セル同期制御手段が、入力されたデータブロックを出力回線への転送するための転送手段と、

各データブロックに含まれるセルヘッダ位置からセル同期状態を検出するための手段と、

回線対応に同期状態を記憶するためのメモリと、

上記メモリをアクセスするための手段と、

上記検出手段によって検出されたセル同期状態と、上記アクセス手段によって上記メモリから読み出した当該データブロックの回線と対応する同期状態との関係に応じて、上記メモリに記憶すべき同期状態を決定し、該同期状態に応じて上記転送手段を制御するための状態制御手段とからなることを特徴とする請求項1～請求項7の何れかに記載のセル多重化装置。

【請求項9】前記転送手段が、空セルを示すデータプロ

3

ックを生成するための生成手段と、入力されたデータブロックと上記生成手段で生成された空セルとの何れかを選択して出力するセクタ手段とを備え、該セクタ手段が、前記状態制御手段によって制御されることを特徴とする請求項6に記載のセル多重化装置。

【請求項10】前記セル同期状態検出手段が、前記データブロック中で連続するセルヘッダ相当の所定バイト数の第1データ部分についてエラーチェックコード(CRC)を演算し、該CRCと上記第1データ部分に後続する第2データ部分の内容との関係から、セルヘッダの位置を検出するためのヘッダ検出手段を有し、前記アクセス手段が、前記バッファメモリから次のデータブロックが読み出される時点で、上記ヘッダ検出手段から取り込んだCRC演算データを前記メモリに保存し、同一回線の次のデータブロックが前記バッファメモリからセル同期制御手段に入力される時点で、上記メモリから読み出したCRC演算データを上記ヘッダ検出手段に設定するための手段を有することを特徴とする請求項8または請求項9に記載のセル多重化装置。

【請求項11】前記アクセス手段が、前記検出手段から取り込んだCRC演算データを、同一回線の次のデータブロックの先頭バイトがセル同期制御手段に入力されてから所定バイト数の期間内に、前記メモリに書き込むことを特徴とする請求項10に記載のセル多重化装置。

【請求項12】前記読み出し制御手段が、前記同期制御情報によって示される同期状態に応じて、次に読み出すべきデータブロックの読み出し開始アドレスを、前のデータブロックの先頭位置からセル長分隔てた位置を示すアドレス、またはセル長とは異なる長さ分隔てた位置を示すアドレスに設定することを特徴とする請求項1～請求項11の何れかに記載のセル多重化装置。

【請求項13】前記読み出し制御手段が、前記同期制御情報が特定の同期状態を示した場合に、次に読み出すべきデータブロックの読み出し開始アドレスを、前のデータブロックの先頭位置と、該データブロックで検出されたセル先頭位置と、セル長とによって決まるアドレスに設定することを特徴とする請求項1～請求項12の何れかに記載のセル多重化装置。

【請求項14】前記読み出し制御手段が、前記同期制御情報がセル先頭未検出の状態を示した場合に、次に読み出すべきデータブロックの読み出し開始アドレスを、前のデータブロックの後尾部分を重複して読み出す位置に設定することを特徴とする請求項1～請求項13の何れかに記載のセル多重化装置。

【請求項15】前記読み出し制御手段が、次に読み出すべきデータブロックの読み出し開始アドレスを、前データブロックの後尾部分であってセルヘッダ長によって決まる所定バイト数の部分を読み出す位置に設定することを特徴とする請求項14に記載されたセル多重化装置において、

4

【請求項16】前記読み出し制御手段が、前記バッファメモリからの次のデータブロックの読み出しの先だって、前記セル同期手段に対して、次に読み出すデータブロックと対応する回線番号を通知することを特徴とする請求項1～請求項13の何れかに記載のセル多重化装置。

【請求項17】前記読み出し制御手段が、前記バッファメモリから同一の入力回線に属した複数セル分のデータブロックを連続的に出力する読み出しモードを有し、上記バッファメモリから読み出す次のデータブロックが、前のデータブロックとは入力回線を異にするとき、次のデータブロックの読み出しの先だって前記セル同期手段に次の回線番号を通知し、上記次のデータブロックが前のデータブロックと同一の入力回線に属しているときは、上記回線番号の通知を省略することを特徴とする請求項14に記載のセル多重化装置。

【請求項18】複数の入力回線から並列的に入力された固定長のセル信号をバッファメモリに一時的に蓄積した後、所定のセル構造に同期したデータブロックとして出力回線に送出するセル多重化装置において、

それぞれ複数の入力回線と接続された複数の多重化ユニットと、

上記複数の多重化ユニットに接続され、多重化ユニットから出力されるデータブロックを選択的に通過させるセクタ手段と、

上記セクタ手段から供給される各データブロックについてセル同期状態を検出し、検出結果に応じた同期制御情報を発生し、所定のセル構造に同期したデータブロックを選択的に上記出力回線に送信するためのセル同期制御手段と、

セル信号を出力すべき多重化ユニットを所定の順序で指定し、上記セル同期制御手段から受信した同期制御情報を上記指定された多重化ユニットに通知する出力制御手段とからなり、

上記各多重化ユニットが、

複数の回線から入力されたセル信号を多重化するための多重化手段と、

セル信号を一時的に記憶するためのバッファメモリと、上記多重化手段から出力されたセル信号を回線対応に順次に上記バッファメモリに蓄積するための書き込みを制御手段と、

上記バッファメモリに蓄積されたセル信号を回線毎に所定バイト数のデータブロックとして読み出すための読み出し制御手段とを備え、

上記読み出し制御手段が、

上記出力制御手段から通知された制御情報に基づいて、各回線と対応する次に読み出すべきデータブロックの読み出し開始アドレスを決定することを特徴とするセル多重化装置。

【請求項19】前記セル同期制御手段が、回線対応に同

5

期状態を記憶するためのメモリを備え、入力された各データブロックで検出されたセル同期状態と上記メモリに記憶された同期状態との関係に応じて、上記メモリに記憶する同期状態を遷移させ、該同期状態に応じた同期制御情報を発生することを特徴とする請求項18に記載のセル多重化装置。

【請求項20】前記セル同期制御手段が、回線対応に前記遷移後の同期状態が所定のセル構造と同期した状態となる迄は、前記入力されたデータブロックに代えて空セル信号を示すデータブロックを前記出力回線に送出することを特徴とする請求項18または請求項19に記載のセル多重化装置。

【請求項21】前記セル同期制御手段が、前記バッファメモリから読み出された各データブロックについて、C C I T T の1、432で規定された同期状態制御を行うことを特徴とする請求項18～請求項20の何れかに記載のセル多重化装置。

【請求項22】前記セル同期制御手段が、前記同期制御情報として、各データブロック内で検出したセル先頭位置と前記遷移後の同期状態を示す情報を出力し、前記読み出し制御手段が、上記セル先頭位置と同期状態とに応じて、前記各回線と対応する次に読み出すべきデータブロックの読み出し開始アドレスを決定することを特徴とする請求項18～請求項21の何れかに記載のセル多重化装置。

【請求項23】前記セル同期制御手段が、入力されたデータブロックを出力回線への転送するための転送手段と、

各データブロックに含まれるセルヘッダ位置からセル同期状態を検出するための手段と、

回線対応に同期状態を記憶するためのメモリと、
上記メモリをアクセスするための手段と、

上記検出手段によって検出されたセル同期状態と、上記アクセス手段によって上記メモリから読み出した当該データブロックの回線と対応する同期状態との関係に応じて、上記メモリに記憶すべき同期状態を決定し、該同期状態に応じて上記転送手段を制御するための状態制御手段とからなることを特徴とする記載のセル多重化装置。

【請求項24】前記転送手段が、空セルを示すデータブロックを生成するための生成手段と、入力されたデータブロックと上記生成手段で生成された空セルとの何れかを選択して出力するセレクト手段とを備え、該セレクト手段が、前記状態制御手段によって制御されることを特徴とする請求項23に記載のセル多重化装置。

【請求項25】前記セル同期状態検出手段が、前記データブロック中で連続するセルヘッダ相当の所定バイト数の第1データ部分についてエラーチェックコード(CRC)を演算し、該CRCと上記第1データ部分に後続する第2データ部分の内容との関係から、セルヘッダの位置を検出するためのヘッダ検出手段を有し、

6

前記アクセス手段が、前記バッファメモリから次のデータブロックが読み出される時点で、上記ヘッダ検出手段から取り込んだCRC演算データを前記メモリに保存し、同一回線の次のデータブロックが前記バッファメモリからセル同期制御手段に入力される時点で、上記メモリから読み出したCRC演算データを上記ヘッダ検出手段に設定するための手段を有することを特徴とする請求項18～請求項24の何れかに記載のセル多重化装置。

【請求項26】前記アクセス手段が、前記検出手段から取り込んだCRC演算データを、同一回線の次のデータブロックの先頭バイトがセル同期制御手段に入力されてから所定バイト数の期間内に、前記メモリに書き込むことを特徴とする請求項25に記載のセル多重化装置。

【請求項27】前記読み出し制御手段が、前記同期制御情報によって示される同期状態に応じて、次に読み出すべきデータブロックの読み出し開始アドレスを、前のデータブロックの先頭位置からセル長分隔てた位置を示すアドレス、またはセル長とは異なる長さ分隔てた位置を示すアドレスに設定することを特徴とする請求項18～請求項26の何れかに記載のセル多重化装置。

【請求項28】前記読み出し制御手段が、前記同期制御情報が特定の同期状態を示した場合に、次に読み出すべきデータブロックの読み出し開始アドレスを、前のデータブロックの先頭位置と、該データブロックで検出されたセル先頭位置と、セル長とによって決まるアドレスに設定することを特徴とする請求項18～請求項27の何れかに記載のセル多重化装置。

【請求項29】前記読み出し制御手段が、前記同期制御情報がセル先頭未検出の状態を示した場合に、次に読み出すべきデータブロックの読み出し開始アドレスを、前のデータブロックの後尾部分を重複して読み出す位置に設定することを特徴とする請求項18～請求項28の何れかに記載のセル多重化装置。

【請求項30】前記読み出し制御手段が、次に読み出すべきデータブロックの読み出し開始アドレスを、前データブロックの後尾部分であってセルヘッダ長によって決まる所定バイト数の部分を読み出す位置に設定することを特徴とする請求項18～請求項28の何れかに記載のセル多重化装置。

【請求項31】前記読み出し制御手段が、前記バッファメモリからの次のデータブロックの読み出しの先だって、前記セル同期手段に対して、次に読み出すデータブロックと対応する回線番号を通知することを特徴とする請求項18～請求項30の何れかに記載のセル多重化装置。

【請求項32】前記読み出し制御手段が、前記バッファメモリからの次のデータブロックの読み出しの先だって、前記変換同期手段に対して、次に読み出すデータブロックと対応する回線番号を通知することを特徴とする請求項18～請求項31の何れかに記載のセル多重化装

置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明はセル多重化装置に関し、特に加入者回線から受信した非同期転送モード（以下、ATMと言う）をもつ比較的低速の固定長パケット（セル）をバッファメモリに蓄積し、セル境界を同定して読み出された正しいデータブロックを出力回線に送信するセル同期機能を備えたセル多重化装置に関する。

【0002】

【従来の技術】従来のセル多重化装置として、例えば1990年電子情報通信学会春期全国大会で報告された「並列型HEC計算回路の検討」のように、各回線毎にセル同期回路を備え、出力データブロックの先頭がセルの先頭と一致するようにセル同期をとった後に、セル多重を行う構成のものが知られている。

【0003】

【発明が解決しようとする課題】しかしながら、上記従来構成によれば、セル同期回路が1つの回線の信号しか処理ができないため、回線の伝送速度が低速であっても、各回線毎にセル同期回路を必要としていた。例えば、約6.3メガビット毎秒で伝送される回線を21回線多重してATM交換機側に転送するシステムの場合、21個のセル同期回路を必要としていた。また、上記従来の構成では、セル多重を行うためには各回線毎にセル信号を蓄積するためのメモリを必要とし、ハードウェア規模が大きなものとなっていた。

【0004】本発明の目的は、出力回線に出力される各データブロックが、ブロック先頭がセル先頭と一致し、所定のセル構造と同期するように制御（セル同期制御）できるセル多重化装置を提供することにある。本発明の他の目的は、入力セルを一時的に蓄積するためのバッファメモリとR/W制御手段を複数に入力回線に共用化でき、出力回線にセル同期されたデータブロックを読み出せるようにしたセル多重化装置を提供することにある。本発明の他の目的は、複数の回線についてセルの同期制御手段を共用化できる構成のセル多重化装置を提供することにある。

【0005】

【課題を解決するための手段】上記目的を達成するために、本発明では、複数の入力回線から並列的に入力された固定長のセル信号をバッファメモリに一時的に蓄積した後、所定のセル構造をもつデータブロックとして出力回線に送出するセル多重化装置において、複数の入力回線から受信したセル信号を多重化するための多重化手段と、上記多重化手段から出力されたセル信号を入力回線対応に順次に上記バッファメモリに蓄積するための書き込みを制御手段と、上記バッファメモリに蓄積されたセル信号を回線毎に所定バイト数のデータブロックとして読み出すための読み出し制御手段と、上記バッファメモ

リから読み出された各データブロックの同期状態を検出し、検出結果に応じた同期制御情報を上記読み出し制御手段に通知し、所定のセル構造に同期して読み出されたデータブロックを選択的に出力回線に送信するためのセル同期制御手段とを有し、上記読み出し制御手段が、上記セル同期制御手段から通知された同期制御情報に基づいて、各回線と対応する次に読み出すべきデータブロックの読み出し開始アドレスを決定することを特徴とする。

10 【0006】上記セル多重化装置で、入力回線から入力されたセル信号は、多重化手段によって例えばバイト単位で多重化され、バッファメモリに各回線対応に順次に記憶される。上記バッファメモリ内のデータ（セル信号）は、回線対応にデータブロックの読み出し開始アドレスを記憶した読み出し制御手段によって、データブロックとして読み出され、後段に接続されたセル同期制御手段に供給される。セル同期制御手段は、各データブロックにおいてセル先頭を検出し、データブロックとセルとの同期状態を示す同期制御情報を発生する。読み出し制御手段は、上記同期制御情報に基づいて、その回線で次に読み出すべきデータブロックの読み出し開始アドレスを決定し、これを記憶しておく。

20 【0007】本発明の1実施例によれば、上記セル同期制御手段は、各回線毎にセルヘッダの位置を検出するためのCRC演算データと同期状態情報とを記憶するためのテーブルを備え、バッファメモリから読み出される各データブロック中に含まれるセルヘッダの位置を上記テーブルから読み出したCRC演算データを利用して検出し、データブロックの同期状態を検出する。また、検出された同期状態と上記テーブルから読み出した同期状態情報とに基づいて同期状態を遷移し、同期状態に応じてデータブロック（セル信号）の出力回線への送信制御を行う。

30 【0008】本発明の他の特徴は、セル多重化装置が、それぞれ複数の入力回線と接続された複数の多重化ユニットと、上記複数の多重化ユニットに接続され、多重化ユニットから出力されるデータブロックを選択的に通過させるセレクト手段と、上記セレクト手段から供給される各データブロックについてセル同期の状態を検出し、検出結果に応じた同期制御情報を発生するセル同期制御手段と、データブロックを出力すべき多重化ユニットを所定の順序で指定し、上記セル同期制御手段から受信した同期制御情報を上記多重化ユニットに通知する出力制御手段とからなり、上記各多重化ユニットが、複数の入力回線から入力されたATMセル信号を多重化するための多重化手段と、ATMセル信号を一時的に記憶するためのバッファメモリと、上記多重化手段から出力されたATMセル信号を回線対応に順次に上記バッファメモリに蓄積するための書き込みを制御手段と、上記バッファメモリに蓄積されたATMセル信号を回線毎に決まる

所定バイト数のデータブロックとして読み出すための読み出し制御手段とを備え、上記読み出し制御手段が、上記出力制御手段から通知された制御情報に基づいて、各回線毎に次に読み出すべきデータブロックの読み出し開始アドレスを決定することにある。

【0009】本発明の更に他の特徴は、セル多重化装置が、複数の入力回線からの入力信号を多重化するための多重化手段と、入力信号を一時的に記憶するためのメモリと、上記多重化手段から出力された入力信号を入力回線と対応させて上記メモリに蓄積するための書き込みを制御手段と、上記メモリに蓄積された入力信号を入力回線に応じて決まる所定バイト数のデータブロックとして読み出すための読み出し制御手段と、上記メモリから読み出された各データブロックについて同期状態を検出し、検出結果に応じた制御情報を上記読み出し制御手段に通知し、所定のセル構造を持っているデータブロックを選択的に出力回線に送信動作するセル同期制御手段と、上記メモリから読み出された各データブロックを所定の構造を持つセルに変換して出力回線に送信すると共に、制御情報を上記読み出し制御手段に通知するための変換手段とを備え、上記読み出し制御手段が、各加入者回線における信号伝送形式に応じて選択された上記同期手段と変換手段との何れかに、上記メモリから読み出されたデータブロックを選択的に供給し、上記セル同期手段および上記変換手段から通知された制御情報に基づいて、各入力回線と対応する次のデータブロックの読み出し開始アドレスを決定することにある。

【0010】

【作用】本発明によれば、1つのセル同期回路を複数の回線に共用化でき、更には、バッファメモリと、上記書き込み制御部と読み出し制御部からなるメモリ制御部とを複数の回線に共用化できるため、セル多重化装置を小型化することができる。

【0011】

【実施例】図2は本発明のセル多重化装置が適用されるATMネットワークシステムの1例を示す。A(A-1~A-m)はセル多重化装置、Bは、それぞれ音声、画像あるいはデータなどの情報を固定長のパケット(ATMセル)として送受信する加入者端末、CはATM交換機である。加入者端末の信号速度が、例えば6、3メガビット毎秒程度の低速度の場合、端末から送信されたセル信号をそのまま高速のATM交換機Cに入力すると、効率が極めて悪くなる。そこで、一般には、複数の加入者端末Bからのセル信号をセル多重化装置Aで多重した上で、ATM交換機Cに入力する。

【0012】図1は、本発明によるセル多重化装置A-1の構成の1例を示す。セル多重化装置A-1は、信号多重部1と、メモリ部2と、メモリ制御部3と、セル同期制御部4とからなっている。信号多重部1は、複数の加入者端末Bから送出されるセル信号(セルデータ)を

受信し、これらのセル信号を、例えばバイト単位で時分割多重してメモリ部(バッファメモリ)2へ供給する。加入者端末と接続された各入力回線L(L1~Ln)には、それぞれ固有の回線番号が与えられている。信号多重部1は、各入力回線毎に回線対応部(図示せず)を備え、メモリ部2に供給される時分割多重のセルデータは、各々の回線対応部が持っている回線番号を伴っている。

【0013】信号多重部1からメモリ2に供給されるセル信号は、メモリ制御部3の書き込み機能部31によって、上記メモリ部2に、各回線毎にデータ到着順に管理された形式で記憶される。これは、予め回線対応に所定容量のバッファエリアを割当ておき、セル信号を入力回線と対応したバッファエリアに書き込むようにしても良いし、メモリ2を複数の回線で共有し、回線毎にセル信号の記憶エリアのアドレスをチェーンする共有バッファ(shared buffer)形式でもよい。

【0014】メモリ制御部3は、図3のように、時分割多重で入力されたセル信号を各回線毎に到着順序を管理した形式でメモリ部2に記録する書き込み機能部31と、メモリ部2に蓄積されたセル信号を各回線毎に予め記憶してある読み出し開始位置から順次に読み出し、各回線毎に1セル分のデータブロックを順次に送信する読み出し制御機能部32とからなる。

【0015】書き込み機能部31は、書き込み制御部311と、書き込みアドレステーブル部312とからなり、書き込みアドレステーブル部312は、回線番号312Aと対応してメモリ部2の書き込みアドレス312Bを記憶している。書き込み制御部311には、信号多重部1で抽出された回線番号が入力され、書き込みアドレステーブル部312から上記回線番号に対応する書き込みアドレスを読み出す。信号多重部1からメモリ部2に供給されたセル信号は、上記書き込みアドレスが示す位置に書き込まれる。セル信号書き込みの都度、次回到着する同一回線のセル信号が既到着セル信号に連続した位置に書き込まれるように、書き込みアドレスの値を更新し、これを書き込みアドレステーブル部312内の該当するアドレス記憶位置312Bに記憶しておく。

【0016】読み出し機能部32は、回線指定部321と、回線番号322Aと対応してデータブロックの読み出し開始アドレス322Bを記憶している読み出しアドレステーブル部322と、読み出しアドレス制御部323と、読み出し長カウンタ324と、読み出しアドレス更新量制御部325とからなる。

【0017】回線指定部321は、セル信号の読み出しの対象となる回線番号を循環的に変えながら、読み出しアドレステーブル部322と書き込みアドレステーブル部312をチェックし、各回線毎に、書き込みアドレス312Bと読み出しアドレス322Bとの差からメモリ部2における蓄積データ量を求め、セル信号の読み出し

が可能な回線番号を見つけて、これを読み出しアドレス制御部323に知らせる。セル信号の読み出しは、メモリ部に蓄積されたデータ量が、読み出し長カウンタ部324で指定するデータブロックサイズに達した回線について行われる。

【0018】読み出しアドレス制御部323は、回線指定部321が指定した回線番号と対応する読み出し開始アドレス322Bを読み出しアドレステーブル部322から取り出し、上記読み出しアドレスをデータブロックの先頭位置として、メモリ部2から上記読み出し長カウンタ部324が指定するブロックサイズ分のデータを読み出して、セル同期制御部4へ送信する。メモリ部2からデータブロックを読み出す時、該当する回線番号が、回線指定部321からセル同期部4へ通知される。

【0019】読み出しアドレス更新量制御部325は、メモリ部2から1ブロック分のデータが読み出された後で、該当回線での次のデータブロックの読み出し開始位置を決定する。次のデータブロックの読み出し開始アドレスは、その前に読み出したデータブロックにおけるセル同期の状態によって決まり、セル同期制御部4からのセル同期状態信号に応じてアドレスの更新量を求め、これを読み出しアドレス制御部323に与える。読み出しアドレス制御部323は、読み出しアドレステーブル部322に記憶されている現在の読み出しアドレスに上記更新量を加え、これを次の読み出し開始アドレスとして読み出しアドレステーブル部322に記憶しておく。

【0020】次に、ATMネットワークにおけるセル同期状態について説明する。メモリ部2から読み出されたデータブロックがATMセル構造と一致したセル同期の状態にするためには、ATMセルのHEC（ヘッダエラーチェック）部を検出する必要がある。上記HEC部は、53バイトの固定長データブロックからなるATMセルの先頭位置の検出、セルヘッダ部の誤り検出、誤り訂正などのために設けられたものである。ATMセルは、例えば図4に示すように、セルの先頭に4バイト分の大きさをもつATMセルヘッダ部H1を有し、このセルヘッダH1について求めたCRC演算結果が、HEC部H2として各セルの5バイト目に設定されている。

【0021】図5と図6は、セル同期の状態遷移を示す。セル同期状態は、CCITT I. 432において国際標準化されている。

【0022】図5に示す「ハンチング中（HUNT）」の状態S11は、未だHEC部が検出されないハンチング状態を示し、この状態でHEC部が検出された場合、状態は「前同期中（PRESYNCH）」S12の状態に遷移する。

【0023】状態が「前同期中」状態S12にある間は、検出したHEC位置から1セル長隔たった位置（予定位置）に次のHEC部があるか否かが監視される。予定位置に次のHEC部を検出できない場合は、再び「ハ

ンチング中」の状態S11に遷移する。予定位置に次のHEC部を検出できた場合は、同様のHEC部監視を継続的に行い、連続検出回数を保護段数として計数する。保護段数の値が所定の閾値を越えたとき、「同期確立中（SYNCH）」状態S13に遷移する。状態が「同期確立中」状態S13にある間は、前同期中S12と同様、HEC位置から1セル長隔たった位置にHEC部があるか否かが監視され、HEC部を検出できなかった場合はHEC部監視を継続し、連続未検出回数を保護段数として計数する。保護段数の値が所定の閾値を越えたとき、ハンチング中S11に遷移する。

【0024】図6に示す「検出モード」S21は、セルヘッダに誤りを検出した場合でも誤り訂正を行わないモードであり、「訂正モード」S22は、ヘッダ部に1ビット誤りがあった場合に、HEC部を利用して誤り訂正を行なうモードである。「検出モード」S21にある間に受信されたセルのセルヘッダに全く誤りがなければ、訂正モードS22に遷移する。逆に、訂正モードS22にある間に受信されたセルのセルヘッダに1ビットでも誤りを検出すれば（1ビット誤りの場合にはそれを訂正し）、検出モードS21に遷移する。これらの「検出モード」と「訂正モード」は、後述する空セルの生成制御と関係する。

【0025】図7は、読み出し長カウンタ部36が指定するデータブロックサイズと、セル同期状態に応じてアドレス更新量制御部325が決める次のデータブロックの読み出し開始アドレスとの関係を示す。図7では、データブロックサイズと読み出し開始アドレスとの組合せにを異にする方式1、方式2、方式3の3通りの実施例が示してある。

【0026】方式1では、読み出し長カウンタ部324が指定するデータブロックサイズをATMセルの1セル長に等しい53バイトとし、セル同期状態が「ハンチング中」状態S11および「同期確立中」状態S13の場合は、次のデータブロックの読み出し開始位置を指定する読み出しアドレス更新量を53バイト分（1セル長分）とする。「前同期中」状態S12の場合は、読み出されたデータブロックの先頭からセル先頭位置までのずれ量をhバイトとしたとき、読み出しアドレス更新量をh+53バイトとする。各セルの先頭は、検出されたHEC部H2の4バイト前に位置している。

【0027】上記「前同期中」状態S12においては、次の2つのケースが考えられる。

【0028】第1のケースは、「ハンチング中」状態S11から「前同期中」状態S12に遷移した直後で、セル先頭位置とメモリ部2からの読み出されたデータブロックの先頭位置（これは、メモリ部2からのデータブロック読み出し開始アドレスに相当する）とがずれている場合、すなわち、h≠0の場合であり、第2のケースは、既に「前同期中」状態S12が何回か継続してお

り、セルの先頭位置と読み出されたデータブロックの先頭位置とが一致している場合、すなわち、 $h=0$ の場合である。

【0029】上記何れのケースであっても、検出されたセル先頭位置（データブロック読み出し開始アドレスから h バイト目の位置）から1セル長（53バイト）だけ隔てた位置を次のデータブロックの読み出し開始アドレスとすればよい。アドレス更新量制御部325は、セル同期部4から通知されたセル同期の状態（S11～S13）と、先に読み出したデータブロックにおけるHEC部の相対位置を示す値とに基づいて、各回線毎の次のデータブロックの読み出し開始位置を指定するためのアドレス更新量を求める。

【0030】方式2では、読み出し長カウンタ部324が指定するデータブロックサイズをATMセルの1セル長に等しい53バイトとし、セル同期状態が「ハンチング中」状態S11の場合に、次のデータブロックの読み出し開始アドレスを現在値から49バイト分ずらした値に更新することによって、前回読み出したデータブロックの最後の4バイト部分が、次回に読み出されるデータブロックの先頭部分に含まれるようにしている。セル同期状態が「前同期中」、または「同期確立中」の場合の読み出し開始アドレスの更新は、方式1の場合と同様である。

【0031】方式3では、後段に接続された他の回路でのセル処理の都合上、メモリ部から読み出されたデータブロックの先頭から m バイト目にセルの先頭が位置するように、データブロックの読み出しを行う。例えば、読み出し長カウンタ部324が指定するデータブロックサイズをATMセルの1セル長（53バイト）より大きい57バイトとし、セル同期状態が「前同期中」の期間に、次のデータブロックの読み出し開始アドレスが、前のデータブロックの先頭位置から「 $h-m+53$ 」バイト目となるように、アドレス更新を行う。ここで、 h は前のデータブロックにおけるセル先頭位置、 m は次のデータブロックにおけるセル先頭の目標位置を示し、それぞれデータブロックの先頭位置からのずれ量（バイト数）に相当する値をもつ。定数 m の値は、例えば「1」～「5」の整数値が選ばれる。

【0032】図8は、方式1に従ってセル同期を行うためのセル同期制御部4の機能ブロックを示す。セル同期制御部4は、HEC検出部41-aと、セル同期テーブル部42-aと、セル生成部43とからなる。HEC検出部41-aは、ATMセルのHEC部の位置を検出するためのものであり、CRC（巡回冗長検査）演算部411-aと、同期状態制御部412と、HEC検出制御部413-aとからなる。HEC検出制御部413-aは、上記CRC演算部411-aおよび同期状態制御部412の制御動作と、後述するセル同期テーブル部42-aのアクセスを行う。ATMセルのHEC部H2は、

図4に示したように、4バイト長のATMセルヘッダ部H1のCRC演算結果を示しているため、HEC部H2を検出するためには、連続した5バイト分のデータをHEC検出部41-aに入力し、第1バイトから第4バイトまでのデータについて求めたCRC演算結果が第5バイト目の値と一致するか否かを検証する必要がある。

【0033】図9は、簡単な例として、それぞれ回線番号 i 、 j をもつ2つの回線について、回線番号1のデータブロックR11、回線番号 j のデータブロックR12、回線番号1のデータブロックR13の順に、メモリ部2からセル信号のデータブロックが読み出された場合におけるデータブロックとセル先頭との位置関係を示す。ここで、回線番号1のセル信号に着目する。最初のデータブロックR11を読み出したとき、セル先頭部が、データブロックの先頭位置から52番目（P11）にあったと仮定する。HEC部H1はセル先頭から4バイトずれて位置しているために、この場合、上記セルのHEC部H1は、次に読み出されるデータブロックR13の先頭位置から3番目のバイトP12に位置している。上記HEC検出部41-aは、このようにセルヘッダが2つのデータブロックに股がって読み出された場合でも、HEC部を検出できるようにしておく必要がある。

【0034】CRC演算部411-aは、図10に示すように、メモリ部2からバイト単位で読み出された8ビットのセル信号データを順次に後段に転送するよう動作する互いに縦続接続された5段のフリップフロップF-1、F-2、F-3、F-4、F-5からなるシフタ部Fと、各フリップフロップの出力を受けて、連続する5バイトデータからCRC演算を行うCRC演算判定部X1とからなる。CRC演算判定部X1は、フリップフロップF-2～F-5にATMセルのヘッダH1に相当する4バイトのデータが入力された時点で生成されるCRC演算値と、フリップフロップF-1に入力されたセルヘッダに続くHEC部H2のデータの値とに基づいて、HEC検出動作を行い、検出結果を示す制御信号を出力する。

【0035】HEC検出の対象となる回線が1つの場合は、CRC演算部411-aは、入力信号を順次にシフタ部F（フリップフロップF-1～F-5）に供給しながら4バイトデータのCRC演算を行い、CRCの演算値と最後の1バイトデータ（HEC）とが一致する位置を探せばよい。しかしながら、図2に示したように複数の回線から入力されたセル信号を扱う場合には、各回線対応に、フリップフロップへの設定値（入力データ列）とこれらのデータ列に基づいて生成された状態データとを「CRC演算データ」として保存するための記憶エリアを用意しておき、例えば、図9におけるR11からR12、R12からR13への切替のように、データブロックの切り替えが発生する都度、処理中のCRC演算データの保存動作と、これから処理が始まる回線での前

回保存しておいたCRC演算データの呼び込み動作とを行う必要がある。

【0036】図8に戻って、セル同期テーブル部42-aは、各回線番号421と対応して、CRC演算データ422と同期状態情報423とを記憶している。同期状態情報423は、図5と図6に示した「ハンチング中」の状態S11、「前同期中」の状態S12、「同期確立中」の状態S13のうちの何れかを示す状態423Aと、「前同期中」中と「同期確立中」における保護段数423Bと、「検出モード」S21または「訂正モード」S22の何れかを示すモード423Cとを含む。

【0037】HEC検出制御部413-aは、例えば、回線番号jのデータブロックの読み出しが終了し、回線番号iのデータブロックがメモリ部2から読み出される時点で、回線番号jに関するCRC演算データと同期状態をセル同期テーブル部42-aに退避すると共に、セル同期テーブル部42-aから回線番号iに関するCRC演算データを読み出し、データ列をCRC演算部411-aのフリップフロップに設定する。これによって、メモリ部2から読み出された新たなデータブロックの先頭データが、前回のデータブロックの最終データに引き続く形で、CRC演算部411-aの各フリップフロップに供給される。

【0038】上記理由から、CRC演算部411-aは、図10に示すように、各フリップフロップF-1～F-5の出力側にセクタSEL-1～SEL-5を備え、各セクタSEL-1～SEL-5は、HEC検出制御部413-aからの制御信号に応じて、前段フリップフロップからの出力またはHEC検出制御部413-aから与えられたデータの何れかを選択し、これをCRC演算判定部X1、および後段のフリップフロップに供給する。HEC検出制御部413-aが行う上記セクタSEL-1～SEL-5の入力選択制御については、図11のシーケンス図を用いて後述する。

【0039】同期状態制御部412は、図5と図6に示した状態S11、S12、S13間での状態遷移の管理、「前同期中」状態S12および「同期確立中」状態S13における保護段数の管理、「検出モード」S21と「訂正モード」S22との間での状態遷移の管理を行う。

【0040】メモリ部2から回線番号iのデータブロック（セル信号）を読み出すとき、HEC検出制御部413-aは、セル同期テーブル部42から読み出した回線番号iの同期状態423を同期状態制御部412に転送する。同期状態制御部412は、HEC検出制御部413-aから受け取った同期状態423と、CRC演算部411-aからの制御信号とに基づいて、同期状態を遷移させる。メモリ部2から読み出すデータブロックが回線番号iのものから回線番号jのものに切り替わるとき、同期状態制御部412で記憶している同期状態が、

前述したCRC演算データと共に、セル同期テーブル部42-aの回線番号iのレコードに保存される。この時、同期状態制御部412から、セル生成部43に対して同期状態とヘッダ部訂正用信号が送信され、メモリ制御部3に対して同期状態とHEC部H2の位置を示す信号が送信される。これによって図7で説明した読み出しアドレス更新量の制御が行われる。

【0041】セル生成部43は、メモリ2から読み出されたセル信号を一時的に蓄積するためのバッファ部431と、空きセル生成部432と、上記バッファ部431から出力されるセルと上記空きセル生成部432で生成された空きセルとの何れか一方を選択するためのセクタ433と、上記セクタ433を通過したセルのヘッダに誤りがあった場合に、これを訂正するヘッダ訂正部434とからなる。

【0042】セル生成部43は、HEC検出部41が各データブロック（ATMセル）の5バイト目（HEC部H2）の状態に応じて発行する制御信号により上記セクタ433を制御することによって、「ハンチング中」状態S11または「前同期中」状態S12にある期間、あるいは「同期確立中」状態S13でヘッダ部に訂正不可能な誤りが検出された場合に、メモリ部2から読み出されたデータブロック（セル信号）が出力回線へ送出されるのを抑制し、空きセル生成部432で生成した空きセルを出力回線へ送出するよう動作する。

【0043】「同期確立中」の状態S13でヘッダ部に誤りがない場合は、メモリ部2から読み出されたセル信号を通過させ、「同期確立中」の状態S13でヘッダ部H1に訂正可能な誤りがあった場合は、ヘッダ訂正部434を動作させて誤り訂正を行った後、セル信号を出力回線へ送出する。バッファ部431は、HEC検出部41-aから制御信号が来るまでの間、メモリ部2から読み出されセル信号を一時的にバッファリングするためのものであり、入力セル信号をFIFO（先入れ先出し）形式で順次に出力する。

【0044】図11は、回線番号i、j、kから受信したデータブロック（セル信号）R21、R22、R23を順次にメモリ部2から読み出す場合に、回線番号jのセル信号R22の読み出し時に行われる方式1によるセル同期の制御シーケンスを示す。メモリ部2から回線番号iのデータブロックR21を読み出しているとき、次に読み出すべきデータブロックの回線番号jを示す信号が、メモリ制御部3からHEC検出制御部413-aに伝達される（j-21）。

【0045】HEC検出制御部413-aは、上記信号に基づいて、セル同期テーブル部42-aから回線番号jに関するCRC演算データ422と同期状態情報423を読み出す（j-22）。HEC検出制御部413-aは、メモリ部2から読み出すデータブロックが、回線番号iのデータR21から回線番号jのデータR22に

切り替わるとき、セクタSEL-1~SEL-5を切り替え、データブロックR22の先頭タイミングで、既にセル同期テーブル部42-aから読み出してある回線番号jに関するCRC演算データ（前のデータブロックの最後部分のデータ列）をフリップフロップF-1~F-5に設定する。HEC検出制御部413-aは、この時点で各フリップフロップ部から取り込んである回線番号1のデータ列を一時的に保持しておく。これらのデータ列は、次のデータブロックR22の処理期間中の適当なタイミング（1-25）で、回線番号1のCRC演算データ422として、セル同期テーブル部42-aに記憶される。

【0046】次のデータブロックR22の最初のデータが読み出されるタイミングで、セクタSEL-1~SEL-5が切り替えられ、以降、データブロックR22内の各バイトデータがフリップフロップF-1~F-5に順次に入力される。同期状態情報423についても、前の回線番号1の同期状態情報が、同期状態制御部412からHEC検出制御部4136-aに取り込まれ、上記CRC演算データと同様に一時的に保持され、既にセル同期テーブル部42-aから読み出してある次の回線番号jの同期状態が、上記同期状態制御部に設定される（SW21）。回線番号jのデータブロックR22を読み出しているとき、メモリ部2からバイト単位でデータが供給される毎に、CRC演算部411-aの出力信号が同期状態制御部412に取り込まれる。同期状態制御部412は、セル生成部43に対して同期状態とヘッダ訂正用の制御信号を供給し（j-23）、メモリ制御部3に対してHEC部H2の位置を示す信号を供給する（j-24）。また、データブロックの切り替え時点で保持しておいた回線番号1のCRC演算データ422と同期状態情報423を、セル同期テーブル部42-aに格納する（i-25）。

【0047】メモリ制御部3は、データブロックR21の読み出し中に次の回線番号jを通知したのと同様に、データブロックR22の読み出し中に、HEC検出制御部413-aに対して次の回線番号kを示す信号を通知する（k-21）。HEC検出制御部413-aは、上記回線番号通知に応答して、セル同期テーブル部42-aから回線番号kと対応するCRC演算データ422と同期状態情報423とを読み出す（k-22）。

【0048】データブロックがR22からR23に切り替わる時点で、前の回線番号jの同期状態が同期状態制御部412からHEC検出制御部413-aに取り込まれ、次の回線番号kの同期状態が同期状態制御部に設定される。また、CRC演算データがCRC演算部からHEC検出制御部413-aに取り込まれ、フリップフロップにおけるデータ列の置き換えが行われる（SW22）。次いで、同期状態制御部412からセル生成部43に同期状態とヘッダ訂正用の制御信号が供給され（k

-23）、同期状態とHEC位置を示す信号がメモリ制御部3へ供給され（k-24）、一時的に保持してあった回線番号jの同期状態と、前データブロックR22の最後の部分におけるCRC演算データとがセル同期テーブル部42-aに記憶される（j-25）。このようにして、回線番号jのデータブロックにおけるセル同期処理が行われる。なお、セル同期テーブル部42-aは、メモリ部2から1セル分のデータブロックが読み出される時間内に、読み出しと書き込みを1回ずつ行えば良い。

【0049】セル同期部4で、例えば155.52メガビット/秒の伝送速度をもつセル信号を処理する場合、1セルあたり約2.7マイクロ秒の期間内に上記テーブル部をアクセスをすれば良いため、セル同期テーブル部42-aには特に高速のメモリを必要としない。

【0050】図12は、方式1を適用して、メモリ部2から各回線毎に複数セル（この例では2セル）分のデータブロックを連続的に読み出す場合のシーケンスを示す。

【0051】メモリ部2から回線番号1のデータブロックR31を読み出している期間中に、メモリ制御部3からHEC検出制御部413-aに対して、次に読み出すデータブロックの回線番号jが通知される（j-31）。上記回線番号の通知を受けたHEC検出制御部413-aは、セル同期テーブル部42-aから、回線番号jに関するCRC演算データ422と同期状態情報423を読み出す（j-32）。データブロックがR31からR32に切り替わる時、図11に示した例と同様に、HEC検出制御部413-aが、CRC演算部411-aと同期状態制御部412からそれぞれ回線番号1のCRC演算データと同期状態を取り込み、CRC演算部411-aと同期状態制御部412に、それぞれ回線番号jのCRC演算データと同期状態を設定する（SW31）。

【0052】回線番号jのデータブロックR32がバイト単位で供給されている期間中は、HEC検出制御部413-aが、CRC演算部411-aの出力を取り込んでHECを検出し、同期状態制御部412が、セル生成部43に対して同期状態とヘッダ訂正用の制御信号を与え（j-33）、メモリ制御部3に対して同期状態とHEC部位置を示す信号を与える（j-34）。また、前の回線番号1のデータブロックR32について求めておいたCRC演算データ422と同期状態423をセル同期テーブル部42-aに保存する（i-35）。同一の回線番号jでデータブロックR32に続いて次のデータブロックR33も読み出す場合、メモリ制御部3は、HEC検出制御部413への回線番号通知を省略する。

【0053】HEC検出制御部413は、メモリ制御部3から回線番号の通知がなかった場合は、CRC演算部411-aとの間、および同期状態制御部との間での信

号のやり取りは省略し、その後、新たなデータブロックR33について、前述したj-33、j-34と同様の手順j-35、j-36を実行する。また、HEC検出制御部413は、データブロックR32の読み出し期間中にメモリ制御部3からの次の回線番号の通知が省略された場合、データブロックの切り替え時に、セル同期テーブル部42-aからのCRC演算データと同期状態の読み出しと、前のデータブロックに関するCRC演算データと同期状態のテーブルへの保存動作を省略する。

【0054】メモリ部2からの回線番号kのデータブロックR34の読み出しに先だって、メモリ制御部3は、HEC検出制御部413に対して回線番号kを通知する(k-31)。データブロックR31の場合と同様に、HEC検出制御部413は、セル同期テーブル部42-aから回線番号kのCRC演算データ422と同期状態情報423を読み出し、回線番号jのCRC演算データと同期状態情報とを上記テーブルに保存する(k-32)。データブロックがR33からR34に切り替わる時点で、HEC検出制御部413-aは、CRC演算部411-aと同期状態制御部412から回線番号jのCRC演算データと同期状態を受取り、これに代わる回線番号kのCRC演算データと同期状態をそれぞれCRC演算部411-aと同期状態制御部412に設定する(SW32)。

【0055】この後、同期状態制御部412-aからセル生成部43に対して同期状態とヘッダ訂正用の制御信号が出力され(k-33)、メモリ制御部3に対して同期状態とHEC位置を示す信号が出力される(k-34)。また、データブロックR33の最後に保持しておいた回線番号jのCRC演算データと同期状態情報が、適当なタイミングでセル同期テーブル部42に格納される(j-37)。

【0056】次に方式2と方式3について説明する。これらの方式は、各回線毎のCRC演算データのセル同期テーブルへの保存を省略できるようにしたものである。方式2では、53バイトのデータブロックを読み出し終了した時点で、もし「ハンチング中」の状態S11であれば、次のデータブロックの読み出し開始アドレスを前のデータブロックの先頭位置から49バイト分ずらした値に設定するようにしている。

【0057】図13は、回線番号1のセル信号において、「ハンチング中」状態S11となったデータブロックと、次のデータブロックの読み出し開始位置との関係を示している。メモリ部2には、回線番号1のセル信号が、到着順に図の左から右方向に順次書き込まれているものとする。今、データブロックR41として、メモリ部2からデータ(1)からデータ(53)までの53バイトが読み出され、このデータブロックR41を読み終えた時点で、同期状態が「ハンチング中」の状態S11であったと仮定する。この場合、図7で定義したよう

に、次のデータブロックの読み出し開始アドレスは、前のデータブロックの先頭アドレスから49バイト分隔てた値に更新される。

【0058】この例では、次のデータブロックR42は、データ(50)からデータ(102)までの53バイトとなり、データ(50)から(53)までの4バイトが、前回のデータブロックと次のデータブロックとで重複して読み出されるようになっている。

【0059】HECを検出するためには、4バイトのヘッダ部と1バイトのHECとが連続した状態でHEC検出回路に入力される必要がある。データブロックの分割境界が上記5バイト部分で発生した場合でも、各回線毎に前回読み出したデータブロックにおけるCRC演算データを保存してあれば、前述の方式1のように、保存された前ブロックのCRC演算データを利用して、HECを検出することができる。

【0060】しかしながら、CRC演算データ保存を省略することを前提とし、且つ、任意の境界で分離されたデータブロックについてHECの位置を検出しようとすると、各データブロックに、ヘッダ部H1とHEC部H2とからなる5バイト部分が常に連続した状態で存在するように、ブロック境界を設定する必要がある。例えば、図13において、もしデータブロックR42をデータ(54)から読み出した場合、HEC部H2がデータ(54)から(57)の間にあった場合は、HECの検出は不可能である。HECと対をなすセルヘッダ部H1がデータ(50)から(53)の間に位置した場合も同様である。

【0061】方式2は、前のデータブロックR41の後尾部分4バイトが次のデータブロックR42と重なるようにブロックの境界を設定することによって、データ(50)から(53)の間にセルの先頭が位置した場合でも、HEC検出制御部413-aにセル先頭の5バイトが連続的に入力されるようにしたものである。

【0062】「ハンチング中」状態S11で読み出されたデータブロックでHEC部H2を検出できた場合は、「前同期中」状態S12に遷移し、図7に示したように、次のデータブロックの読み出し開始アドレスがセル先頭に一致するようにアドレスが更新される。すなわち、HECを検出できたデータブロックにおいて、セル先頭がブロックの先頭からhバイトずれた位置にあった場合、読み出しアドレステーブル部322に記憶されているデータブロック読み出し開始アドレスに(h+53)バイト分のアドレスを加えて得られる値を、次の読み出し開始アドレスとしてアドレステーブル部322に記憶しておけばよい。

【0063】「同期確立中」の状態S13にある間は、読み出し開始アドレスを53バイト分ずつ更新して、読み出しアドレステーブル部322に記憶する。セル同期がとれている間は、データブロックの先頭とセル先頭とが

21

一致しているため、4バイトのヘッダ部H1の直後にHEC部H2が検出されるか否かを監視すればよく、「前同期中」状態S12と「同期確立中」状態S13においては、「ハンチング中」に行ったような同一データを重複して読み出す必要はない。

【0064】方式3は、メモリ2から読み出す各データブロックのサイズを57バイトとし、データブロックの読み出しを終了した時点で「前同期中」の状態S12の場合には、次回読み出すデータブロックでセルの先頭がデータブロックの先頭からmバイト目(mは「1」～

「5」のうちの何れかの値をもつ定数)となるように、読み出し開始アドレスを更新するようにしている。

【0065】図14は、「同期確立中」の状態S13または「ハンチング中」の状態S11となった場合、方式3による次データブロックの読み出し開始アドレスの設定例を示す。メモリ部2から、回線番号1のデータブロックR51として、データ(1)から(57)までの57バイトを読み出し終えた時点で、同期状態が「同期確立中」または「ハンチング中」であったと仮定する。この場合、次のデータブロックR52の読み出しアドレスは、前のデータブロックR51の先頭位置から53バイト分隔った位置となる。従って、次のデータブロックR52は、データ(54)から(106)までの57バイトとなり、前のデータブロックR51で最後の4バイトとなったデータ(54)～(57)が、次のデータブロックR52の先頭で再度読み出されることになる。このように読み出し開始アドレスを制御することによって、セル先頭位置がデータ(54)～(57)の間にあったためにブロックR51では検出できなかったHEC部H2を、次のブロックR52で確実に検出することができる。

【0066】方式3によれば、「同期確立中」の状態S13においては、セルの先頭が常に各データブロックの先頭からmバイト目に位置しているため、例えば、ヘッダ訂正部434で、各データブロックのmバイト目から1セル長の部分をATMセルとして抽出し、不要部分を廃棄するようにすればよい。

【0067】図15は、上述した方式2または方式3に従ってセル同期を行うセル同期制御部4の機能ブロックを示す。図15に示した構成は、図8に示した装置構成と同様、HEC検出部41-bと、セル同期状態テーブル部42-bと、セル生成部43とからなる。図8に示した装置との構成上の違いは、(a)セル同期テーブル部42-bがCRC演算データ422の記憶エリアを持っていない、および、(b)HEC検出部41-bにおいて、CRC演算部411-bが、HEC検出制御部413-bから独立して動作する、の2点である。

【0068】方式2、方式3では、ヘッダ部H1とHEC部H2が連続して各データブロックに含まれるようになっているため、CRC演算部411-bは、前のデー

22

タブロックでのCRC演算データを一時保存する必要がない。また、HEC検出制御部413-bは、CRC演算部411-bとの間でCRC演算データの授受を行う必要がなく、同期状態制御部412との間で制御動作を行えば済む。

【0069】図16は、方式2におけるメモリ部2からのデータ読み出しと、HEC部H2の検出との関係を示す。今、メモリ部2から回線番号1のデータブロックR61を読み出した後、回線番号1のデータブロックR62を読み出す場合を考える。また、データブロックR61で、もし、HEC部がバイトデータ(53)に位置した場合に、HEC検出制御部413がこのHEC部を検出できる時刻がP61であり、データブロックR62で、もし、HEC部がバイトデータ(5)に位置した場合に、HEC検出制御部413がこれを検出できる時刻がP62であると仮定する。

【0070】方式2のHEC検出部41-bでは、各回線のセル信号が連続して5バイト以上入力されなければHEC部を検出できないため、データブロックR62の先頭バイト(1)からバイト(4)までの間では、仮に、この区間にHEC部H2が存在していても、これを検出することはできない。つまり、途中でデータブロックの切り替えが発生する時刻P61からP62までの期間内では、HEC部を検出できないことになる。このため、方式2を採用する場合は、P61からP62迄の期間内に、セル同期テーブル52をアクセスし、i-61、j-62で示すように、同期状態情報423の読み出しと書き込み動作を行えば良い。方式3についても、これと同様のことが言える。

【0071】図17は、本発明によるセル多重化装置の第2の実施例を示す。この実施例では、セル多重化装置A-1に接続される複数の入力回線をn個のグループに分け、各グループ毎に、「信号多重部1-1(i=1～n)と、メモリ部2-1(i=1～n)と、メモリ制御部3-1(i=1～n)と」からなる多重化ユニットM-i(i=1～n)を設ける。各多重化ユニットの出力は選択部6に入力され、選択部6の出力側にセル同期制御部4が接続してある。

【0072】多重化ユニットM-i(i=1～n)と選択部6は、多重制御部5によって制御される。信号多重部1-1は、回線番号1-1から1-q1(q1は、自然数)までのq1本の回線から受信されるセル信号を時分割多重してメモリ部2-1へ供給し、メモリ制御部3-1を構成する書き込み機能部31-1と読み出し機能部32-1によって、図1の場合と同様に、セル信号を回線毎に管理して書き込み、回線毎に1ブロック分ずつ読み出し動作する。読み出し制御は、多重制御部5によって制御される。多重制御部5は、多重化ユニットM-1～M-nを順次に選択し、例えば多重化ユニット部M-1を選択したとき、選択信号をメモリ制御部3-1に

与える。メモリ制御部3-1は、上記選択信号にตอบสนองして、メモリ部2-1から、回線番号1-j ($1 \leq j \leq q$) のセル信号から1ブロック分のデータをバイト単位で順次の読み出し、選択部6に出力する。この時、メモリ制御部3-1は、読み出し対象となったデータブロックの回線番号1-jを選択部6に通知する。

【0073】選択部6は、多重制御部5からの制御信号によってメモリ部2-1からの出力を選択しており、これによって、メモリ部2-1から出力された回線番号とデータとがセル同期制御部4に転送される。セル同期制

御部4は、図1に示したものと同様の動作を行い、同期状態情報とHEC部の位置を示す信号を多重制御部5に送る。多重制御部5は、これらの情報をメモリ制御部3-1に転送し、メモリ制御部3-1は、図1のメモリ制御部3と同様に、読み出し制御を行う。

【0074】図18は、本発明によるセル多重化装置の第3の実施例を示す。ここでは、セル多重化装置A-1の加入者回線L1~Lnに接続される端末装置B1~Bnとして、ATMセル信号の送出機能を備えたATM端末の他に、ATMセル以外の形式による信号送出機能を備えた端末装置、例えばCBR (Constant Bit Rate) の回線データを送信するN-ISDN (Narrow Band Integrated Services Digital Network) に対応した電話機を含む。

【0075】加入者回線L1~Lnからの入力信号は、図1で説明した本発明の第1の実施例と同様に、信号多重部1によって多重化され、メモリ部2に形成された加入者回線対応のバッファに蓄積される。セル多重化装置は、セル同期部4の他に、上記メモリ部2から読み出されたCBR回線データをATMセルに変換するための装置として、AAL1 (ATM Adaptation Layer 1) 処理部7を有し、セル信号セクタ8によって上記セル同期制御部4の出力とAAL1処理部7の出力の何れかを選択的にネットワークに送出するようになっている。上記セル同期制御部4およびAAL1処理部7が出力する読み出しアドレス更新量制御のための制御信号は、セクタ10を介してメモリ制御部3に供給される。

【0076】メモリ部2から読み出されたデータを上記セル同期制御部4とAAL1処理部7の何れで処理すべきかは、入力回線番号9Aと対応してサービス種類9Bを記憶するサービステーブル9によって指定される。上記サービス種類としては、読み出されたデータに施すべき処理の種類 (この例では、セル同期とAAL1処理) を特定するための情報が記憶されている。上記サービステーブル9は、メモリ制御部3によって参照されるため、図3に示した読み出しアドレステーブル322と一体に構成してもよい。

【0077】メモリ制御部3は、循環的に切替られる回線番号に基づいて、読み出しアドレステーブル322からアドレス322Bを読み出す。この時、図3に示した

回線指定部321が、上記サービステーブルからサービス種類9Bを読み出し、サービス種類9Bの内容に応じて、セクタ8およびセクタ10に選択信号を与えると共に、セル同期制御部4とAAL1処理部7の何れかを可動状態にして回線番号を通知する。ATMセル信号を蓄積したバッファからデータを読み出す場合は、セル同期制御部4が選択され、セル多重化装置では、第1の実施例と同様の動作が行われる。CBR回線データを蓄積したバッファからデータを読み出す場合は、AAL1処理部7が動作し、AAL1処理部で生成されるATMセルがセクタ8を介して、ネットワーク (ATMスイッチ) に送出される。

【0078】AAL1処理部7で生成されるATMセルには、図19の(A)に示すように、第6バイト目にSAR-PDU(segmentation and reassembly protocol data unit)ヘッダH3を有し、その後に47バイトのユーザ情報領域U1をもつ第1形式のものと、図19の(B)に示すように、ヘッダH3の次に1バイトのポインタ領域H4を有し、その後に46バイトのユーザ情報領域U1をもつ第2形式のものとがある。

【0079】SAR-PDUヘッダH3には、同一回線からの入力データを含むATMセルの生成順序を示すシーケンス番号(0、1、2、……6、7の繰返し)が設定される。ATMセルの第6バイト目は、詳しくは、図19の(C)に示すように、CSI (Convergence Sublayer Indication) フィールドH3aと、SC (Sequence Counter) フィールドH3bと、これらのフィールドのエラーチェックコードを示すCRC (Cyclic Redundancy Check) フィールドH3cと、パリティビット(P) H3dとを含む。シーケンス番号が偶数のセルにおいて、CSIフィールドH3aのビットが「1」の場合は、セルの第7バイト目がポインタH4を含むことを意味し、「0」の場合は、上記第7バイト目がユーザ情報を含むことを示す。

【0080】サービステーブル9のサービス種類9Bで特に指定がなければ、AAL1処理部7は、回線毎に予め決められている4バイトのATMセルヘッダ(H1)と、1バイトのHEC(H2)と、フィールドH3cに回線毎にカウントして得られるシーケンス番号を含み、CSフィールドH3aにビット「0」を含むSAR-PDUヘッダH3とを送信した後、メモリ部2から読み出された47バイトのデータブロックU1を送信する。この場合、次のデータブロックの読み出し開始アドレスが47バイト分更新されるように、AAL1処理部7からメモリ制御部3のアドレス更新制御部325に制御信号が与えられる。

【0081】サービステーブル9のサービス種類9Bが、構造化データ転送法(structured data transfer method)のAAL1処理を指定している場合は、所定のブロックサイズで構造化されたデータがメモリ2に蓄積さ

れていることを意味する。この場合、上記AAL1処理部7は、所定の規則に従って、第7バイト目にデータブロックの境界を示すポインタ情報を含む第2形式のATMセルを生成する。

【0082】図20は、上述した第1、第2形式のATMセルを生成するAAL1処理部7の構成を示す。AAL1処理部7は、回線毎に固有のセルヘッダ(H1)とHEC(H2)とを生成するATMヘッダ挿入部71と、SAR-PDU(H3)とポインタ(H4)を生成するSAR-PDU/ポインタ挿入部72と、構造化データ転送法により送信されたデータの各データブロックの先頭を検出するための検出回路73と、メモリ部2から読み出されたデータブロックを一時的に蓄積するためのバッファメモリ74と、上記各回路の動作を制御するためのタイミング信号を発生するタイミング信号発生部75と、セクタ76からなる。タイミング信号発生部75は、信号線C1を介してメモリ制御部3から与えられる可動信号によって制御動作を開始する。

【0083】挿入部71は、回線番号と対応してATMセルヘッダ(H1)とHEC(H1)の内容を記憶しており、信号線C2を介してメモリ制御部3から通知された回線番号によって特定されるATMセルヘッダとHECを、タイミング信号生成部75から与えられるタイミング信号に同期して出力する。構造化データ転送を行う回線から受信されたデータは、メモリ部2のバッファに、データブロック境界の有無を示すビット情報と共に蓄積される。メモリ2から読み出したデータをバッファ74に転送する時、上記ビット情報が検出部73に入力され、これによって各データブロックの先頭位置が検出される。

【0084】挿入部72は、回線番号に対応して、サービス種類とシーケンス番号とポインタ制御情報を記憶しており、信号線C2を介してメモリ制御部3から通知された回線番号が通常のAAL1処理モードの回線を示す場合は、図19Aに示した該1形式のATMセルとなるように、タイミング生成部75から与えられたタイミングに従って、SAR-PDUヘッダを出力した後、バッファメモリ74からデータを順次出力させる。

【0085】通知された回線番号が構造化データ転送の回線を示す場合は、挿入部72は、検出部73が検出したブロック先頭の位置情報に応じて、ポインタ領域H4に設定すべきポインタ情報を生成する。図19の(B)に示した第2形式のセルフォーマットをもつATMセルの生成には予め決められた制約があり、挿入部73には、シーケンス番号が偶数のATMセルについてのみ、ポインタの挿入が許される。また、シーケンス番号が「0」から「7」までの8セルを1つのグループとした場合、ポインタの挿入は各グループで1度だけ許される。従って、挿入部2は、2度目以降のポインタを無視し、第1形式のATMセルを生成する。

【0086】1つのグループでブロックの先頭が見つからなければ、シーケンス番号「6」をもつATMセルにダミーのポインタが挿入される。挿入部72は、ポインタ挿入の有無に応じて決まる制御情報をメモリ制御部3に送る。これによって、メモリ制御部3では、46バイトまたは47バイトの何れかを更新量として、次の読み出しアドレスが決定される。

【0087】上記第3実施例の変形として、セル同期制御部4とAAL1処理部7の他に、可変長通信フレームをATMセルに変換するための第3の変換アダプタを設けることによって、セル多重化装置の加入者線に、可変長の通信フレームを送信する端末の接続を許容するようにしてもよい。

【0088】

【発明の効果】以上の説明から明らかなように、本発明によれば、複数の入力回線から入力されるセル信号をメモリに書き込み、読み出し制御手段によって回線対応のブロックデータとして読み出し、セル同期制御手段で検出したセル同期の状態に応じて、上記読み出し制御手段が次データブロックの読み出し開始アドレスを決定するようにしているため、セル同期制御手段を複数の入力回線に共用することができ、セル多重化装置の構造を簡単化できる。また、セル同期手段の他に、メモリから読み出されたデータブロックを所定構造のセルに変換するためのアダプタ(変換手段)を設けることによって、セル送受信機能をもたない端末とATM端末とを収容可能なセル多重化装置を提供できる。

【図面の簡単な説明】

【図1】本発明によるセル多重化装置の1実施例を示す機能ブロック図。

【図2】本発明の多重化装置が適用されるネットワークシステムを示す図。

【図3】本発明に多重化装置を構成するメモリ制御部3の構成を示す図。

【図4】ATMセルのフォーマットを示す図。

【図5】ATMにおけるセル同期状態の遷移図。

【図6】ATMにおけるセル同期状態の遷移図。

【図7】本発明でセル同期のために採用されるデータブロックの読み出し開始アドレス制御方式1～方式3を説明するための図。

【図8】読み出し開始アドレス制御方式1を実施するセル同期部4の構成を示す図。

【図9】読み出し開始アドレス制御方式1の原理を説明するための図。

【図10】CRC演算部411-aの1実施例を示す図。

【図11】読み出し開始アドレス制御方式1における動作シーケンスを示す図。

【図12】読み出し開始アドレス制御方式1の変形例における動作シーケンスを示す図。

【図13】読み出し開始アドレス制御方式2の原理を説明するための図。

【図14】読み出し開始アドレス制御方式2の原理を説明するための図。

【図15】上記方式2、方式3を実施するセル同期部4の構成を示す図。

【図16】読み出し開始アドレス制御方式2におけるセル同期テーブルアクセスのタイミングを説明するための図。

【図17】本発明によるセル多重化装置の第2の実施例を示す図。

【図18】本発明によるセル多重化装置の第3の実施例を示す図。

【図19】上記セル多重化装置で生成されるセル構造を示す図。

【図20】図18に示したAAL1処理部の詳細な構成を示す図。

【符号の説明】

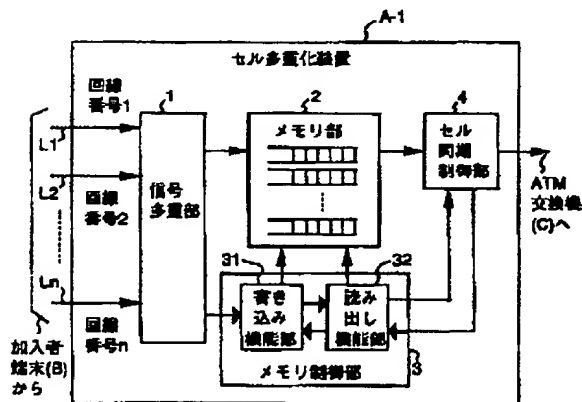
A-1~A-m…セル多重化装置、C…ATM交換機、1…信号多重部、2…メモリ部、3…メモリ制御部、4…

セル同期制御部、7…変換アダプタ(AAL1処理部)

31…書き込み機能部、32…読み出し機能部、311…書き込み制御部、312…書き込みアドレステーブル部、321…回線指定部、322…読み出しアドレステーブル部、323…読み出しアドレス制御部、324…読み出し長カウンタ部、325…読み出しアドレス更新量制御部、H1…ATMセルヘッダ部、H2…HEC部、H3…SAR-PDUヘッダ部、H4…ポインタ領域、S11…ハンチング中、S12…前同期中、S13…同期確立中、S21…検出モード、S22…訂正モード、41…HEC検出部、411…CRC演算部、412…同期状態制御部、413…HEC検出制御部、42…セル同期テーブル部、43…セル生成部、431…バッファ部、432…空きセル生成部、433…セル選択部、434…ヘッダ部訂正部、F-1~F-5…フリップフロップ、X1…CRC演算判定部、SEL-1~SEL-5…セクタ、R11~R62…データブロック、P11…セル先頭部の位置、P12…HEC部の位置。

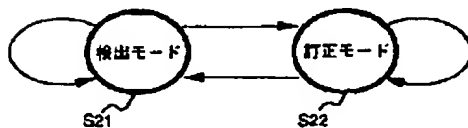
【図1】

図1



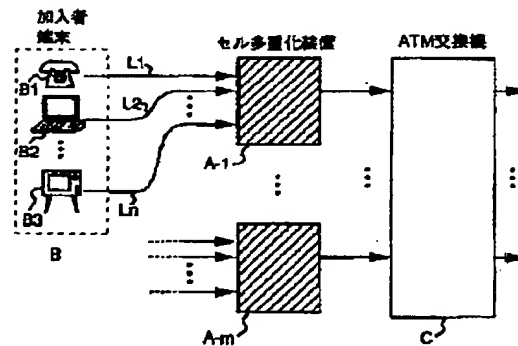
【図6】

図6



【図2】

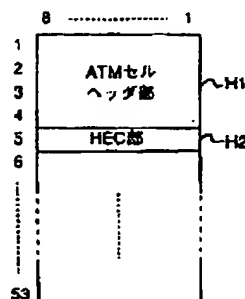
図2



【図4】

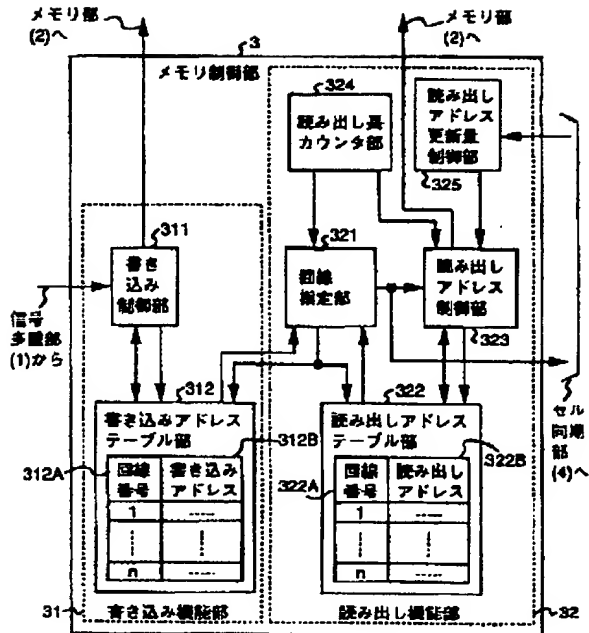
図4

ATMセルフォーマット



【図3】

図 3



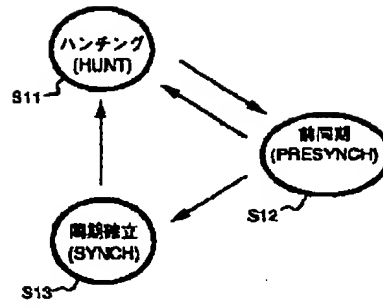
【図7】

図 7

		方式 1	方式 2	方式 3
読み出し長カウンタ部の同期		53バイト	53バイト	57バイト
読み出しアドレス更新量制御部で求められる読み出しアドレス更新量	ハンチング中 S11	53バイト分	49バイト分	53バイト分
	前同期中 S12	$n+53$ バイト分	$n+53$ バイト分	$n-m+53$ バイト分
	同期確立中 S13	53バイト分	53バイト分	53バイト分

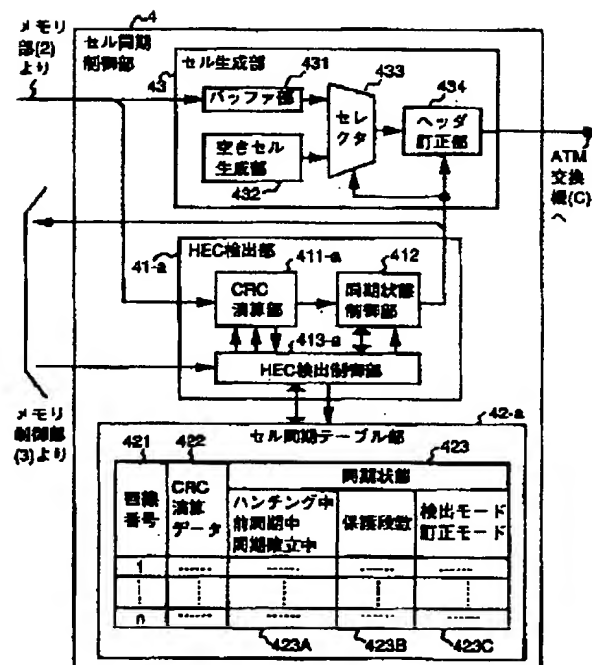
【図5】

図 5



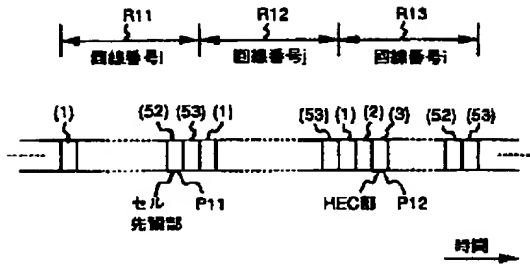
【図8】

図 8



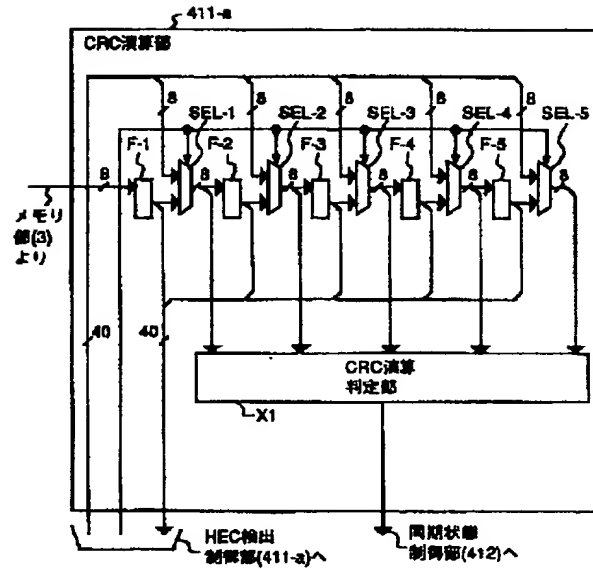
【図9】

図9



【図10】

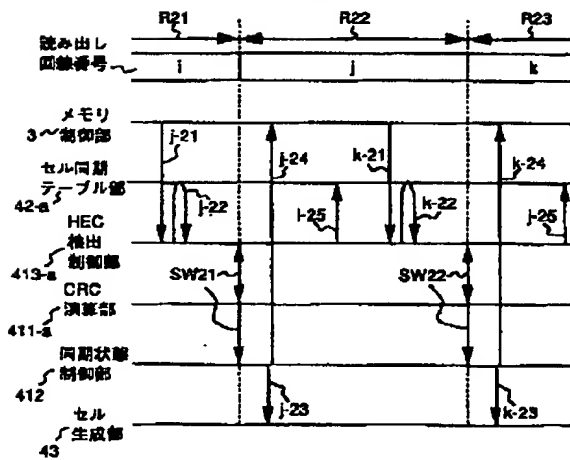
図10



F-1~F-5: フリップフロップ部
SEL1~SEL5: CRC演算選択部

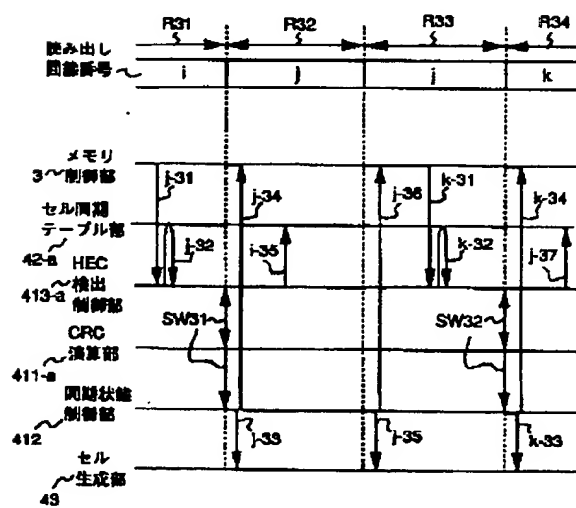
【図11】

図11



【図12】

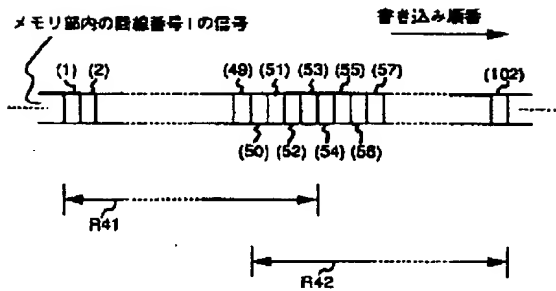
図12



【図13】

図13

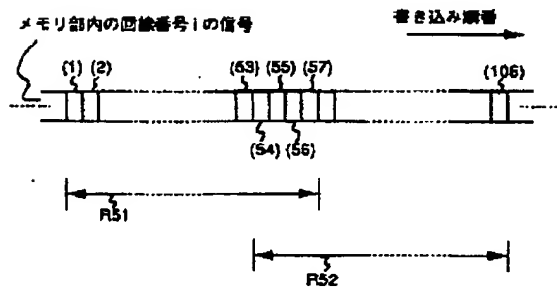
方式2におけるメモリ部からの読み出し例



【図14】

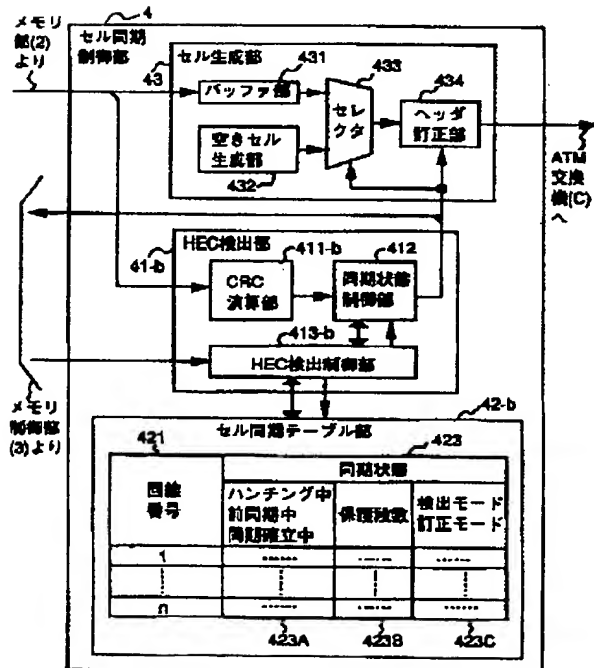
図14

方式3におけるメモリ部からの読み出し例



【図15】

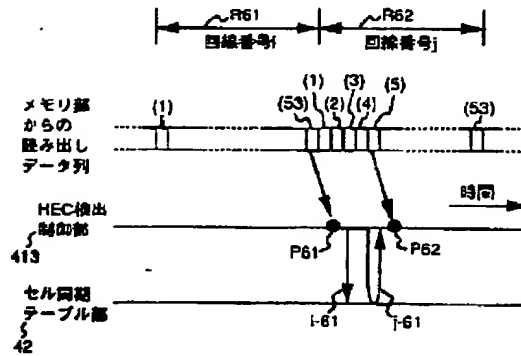
図15



【図16】

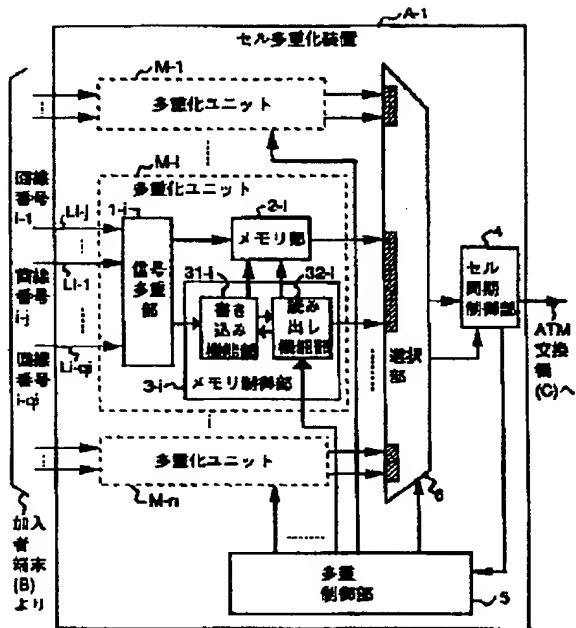
図16

方式2における同期状態の格納および読み出し例



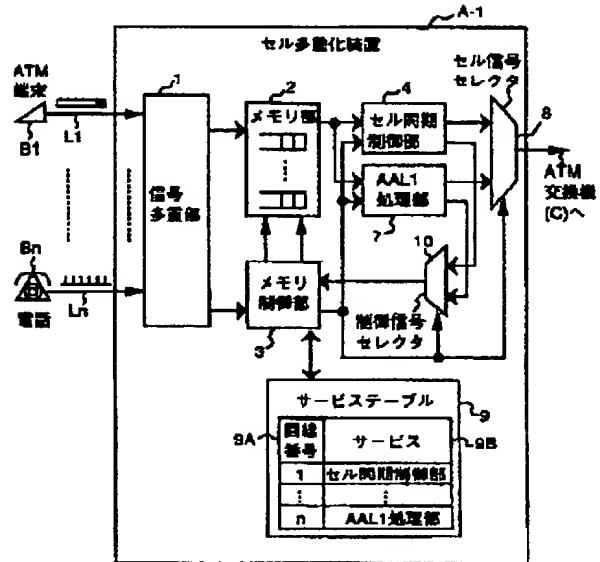
【図17】

図17



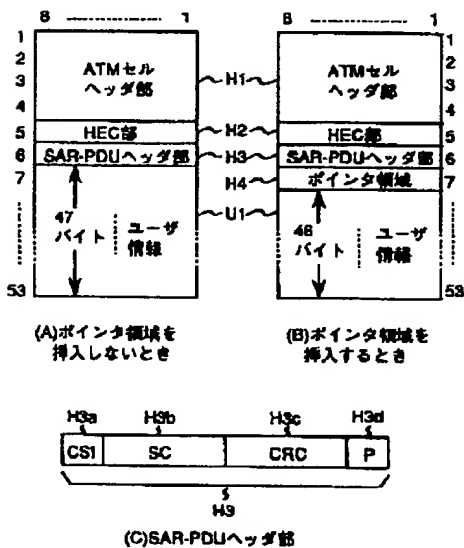
【図18】

図18



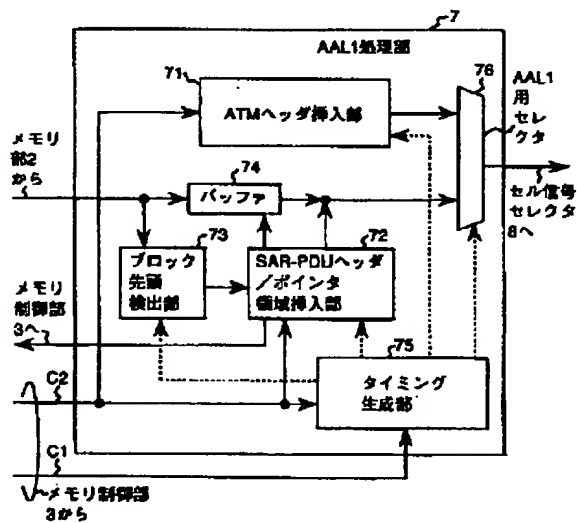
【図19】

図19



【図20】

図20



フロントページの続き

(72)発明者 小栗 洋三
神奈川県横浜市戸塚区戸塚町216番地 株
式会社日立製作所情報通信事業部内
(72)発明者 芦 賢浩
神奈川県横浜市戸塚区戸塚町216番地 株
式会社日立製作所情報通信事業部内
(72)発明者 田中 克佳
東京都小平市上水本町5丁目20番1号 日
立超エル・エス・アイ・エンジニアリング
株式会社内

(72)発明者 小崎 尚彦
東京都国分寺市東恋ヶ窪1丁目280番地
株式会社日立製作所中央研究所内
(72)発明者 高瀬 晶彦
東京都国分寺市東恋ヶ窪1丁目280番地
株式会社日立製作所中央研究所内
(72)発明者 宮城 盛仁
東京都国分寺市東恋ヶ窪1丁目280番地
株式会社日立製作所中央研究所内